

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-068458

(43)Date of publication of application : 03.03.2000

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/82

(21)Application number : 10-237366

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 24.08.1998

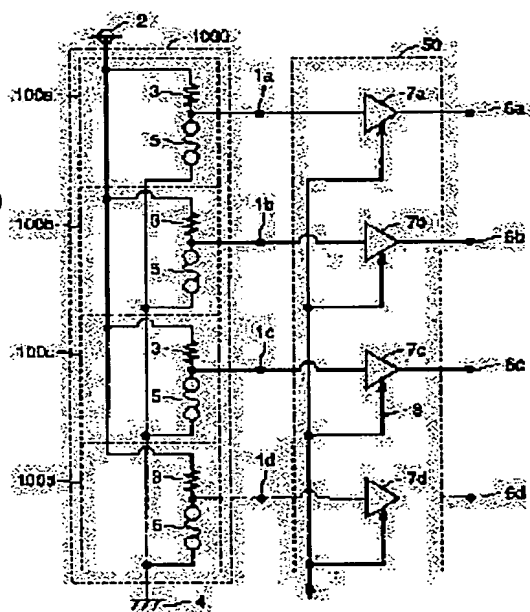
(72)Inventor : CHIBA OSAMU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having an arbitrary characteristic identification which is incapable of being forged, and to provide the manufacture method of the device.

SOLUTION: This semiconductor device is provided with a characteristic identification number constitution circuit 1000 for programming an identification number characteristic of a device. The characteristic identification number constitution circuit 1000 contains a plurality of basic circuits 100a-100d which output a signal of one bit. The respective basic circuits 100a-100d are provided with fuses. The trimming processing for the fuses is executed on the devices considered to be acceptable item in a wafer test by using a laser trimmer. The characteristic identification number is incapable of being forged by sealing it in a package. The individual characteristic identification numbers can be read, if needed through an interface circuit 50.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-68458

(P2000-68458A)

(43) 公開日 平成12年3月3日 (2000.3.3)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 27/04
21/822
21/82

H 0 1 L 27/04
21/82

T 5 F 0 3 8
T 5 F 0 6 4

審査請求 未請求 請求項の数18 O L (全 21 頁)

(21) 出願番号 特願平10-237366

(22) 出願日 平成10年8月24日 (1998.8.24)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 千葉 修

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外3名)

Fターム(参考) 5F038 AV02 AV05 AV15 BE08

5F064 BB33 CC02 CC22 FF16 FF27

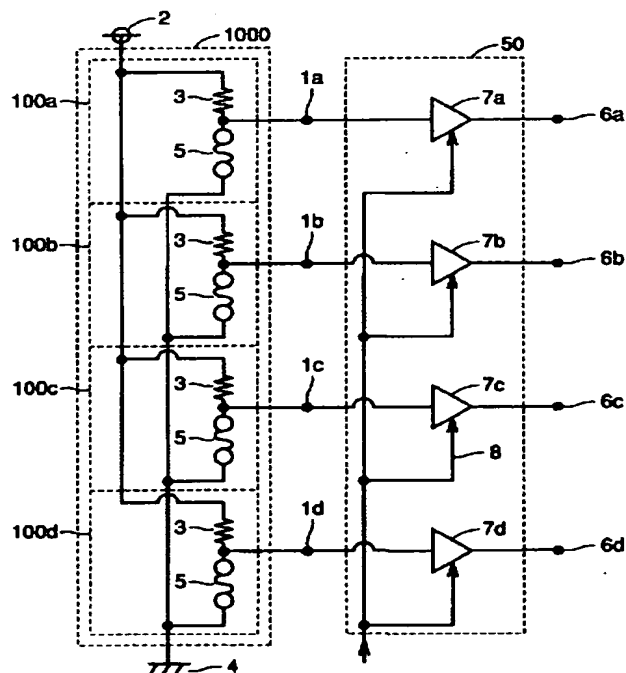
FF42

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 変造不可能な任意の固有識別番号を有する半導体装置及びその製造方法を提供する。

【解決手段】 本発明の半導体装置においては、デバイス固有の識別番号をプログラムする固有識別番号構成回路1000を備える。固有識別番号構成回路1000は、各々が1ビットの信号を出力する複数の基本回路100a~100dを含む。基本回路100a~100dのそれぞれは、ヒューズを備える。ウェハテストで良品とされたデバイスのそれぞれに対して、レーザートリマーを用いて、ヒューズのトリミング処理を行なう。パッケージ内部に密封することにより、固有識別番号は、変造不可能となる。なお、個々の固有識別番号は、インタフェース回路50を介して、必要時に読出しが可能となる。



1

【特許請求の範囲】

【請求項1】 複数の識別番号形成手段を備え、前記複数の識別番号形成手段のそれぞれは、プログラム素子と、前記プログラム素子のプログラム状態／非プログラム状態に基づき電圧レベルが変化する識別番号出力端子とを含み、

出力制御信号に応答して、複数の前記識別番号出力端子のそれぞれにおける電圧に基づき、デバイス固有の識別番号を出力する読出手段をさらに備える、半導体装置。

【請求項2】 前記複数の識別番号形成手段のそれぞれは、

第1の電源電位と前記識別番号出力端子との間に接続される抵抗素子をさらに含み、

前記プログラム素子は、対応する前記識別番号出力端子と第2の電源電位との間に接続される、請求項1記載の半導体装置。

【請求項3】 前記プログラム素子は、ヒューズで構成され、

複数の前記識別番号出力端子のそれぞれの電位は、対応する前記ヒューズの溶断状態／非溶断状態に応答して変化する、請求項2記載の半導体装置。

【請求項4】 前記プログラム素子は、配線材で構成され、

複数の前記識別番号出力端子のそれぞれの電位は、対応する前記配線材の溶断状態／非溶断状態に応答して変化する、請求項2記載の半導体装置。

【請求項5】 プログラム素子と、前記プログラム素子の状態に基づき電圧レベルが変化する識別番号出力端子とを各々が含む複数の識別番号形成回路と、出力制御信号に応答して、複数の前記識別番号出力端子のそれぞれにおける電圧に基づき、デバイス固有の識別番号を出力するための読出回路とを備えるデバイスを、ウェハ上に形成するウェハ製造ステップと、

前記製造したウェハをテストするウェハテストステップと、

前記ウェハテストにおいて良品と判定されたデバイスのそれぞれに対して、前記プログラム素子の状態を変化させることにより、任意の前記識別番号をプログラムするプログラムステップとを備える、半導体装置の製造方法。

【請求項6】 前記プログラム素子のそれぞれは、前記プログラムステップで溶断状態または非溶断状態となるヒューズで構成され、

前記複数の識別番号形成回路のそれぞれは、

第1の電源電位と前記識別番号出力端子との間に接続される抵抗素子をさらに含み、

前記ヒューズは、前記識別番号出力端子と第2の電源電位との間に接続される、請求項5記載の半導体装置の製造方法。

【請求項7】 前記プログラム素子のそれぞれは、前記

2

プログラムステップで溶断状態または非溶断状態となる配線材で構成され、

前記複数の識別番号形成回路のそれぞれは、

第1の電源電位と前記識別番号出力端子との間に接続される抵抗素子をさらに含み、

前記配線材は、前記識別番号出力端子と第2の電源電位との間に接続される、請求項5記載の半導体装置の製造方法。

【請求項8】 プログラムモードにおいて、外部からプログラム信号を受けるプログラミング専用パッドと、

複数の識別番号形成手段とを備え、

前記複数の識別番号形成手段のそれぞれは、

前記プログラミング専用パッドで受けるプログラム信号に基づき状態を変化させるプログラム素子と、

前記プログラム素子の状態に基づき、電圧レベルが変化する識別番号出力端子とを含み、

複数の前記識別番号出力端子のそれぞれにおける電圧に基づき、チップ固有の識別番号を出力する読出手段とをさらに備える、半導体装置。

【請求項9】 外部とデータの入出力を行なうリードフレームと、

前記リードフレームと接続される入出力パッドと、

前記入出力パッドの信号に応答して動作する内部回路とをさらに備え、

前記プログラミング専用パッドは、前記リードフレームと非接合状態にあり、前記リードフレームの内側に配置される、請求項8記載の半導体装置。

【請求項10】 前記プログラム素子は、前記プログラミング専用パッドから入力されるプログラム信号で溶断されるヒューズで構成される、請求項9記載の半導体装置。

【請求項11】 前記プログラム素子は、ヒューズで構成され、

前記複数の識別番号形成手段のそれぞれは、

前記プログラミング専用パッドから入力されるプログラム信号を選択的に前記ヒューズに印加することにより、

前記ヒューズを選択的に溶断させる選択手段をさらに含む、請求項9記載の半導体装置。

【請求項12】 前記プログラム素子は、前記プログラミング専用パッドから入力されるプログラム信号で短絡

する短絡接合素子で構成される、請求項9記載の半導体装置。

【請求項13】 前記プログラム素子は、一方の端子が、

前記プログラミング専用パッドから入力されるプログラム信号を受ける短絡接合素子で構成され、

前記複数の識別番号形成手段のそれぞれは、

前記短絡接合素子の他方の端子の電位を制御することにより、選択的に前記短絡接合素子を短絡させる選択手段をさらに含む、請求項9記載の半導体装置。

【請求項14】 プログラムモードにおいて、外部から

3

プログラム信号を受けるプログラミング専用パッドと、各々が、前記プログラミング専用パッドで受けるプログラム信号に基づき状態を変化させるプログラム素子と、前記プログラム素子の状態に基づき、電圧レベルが変化する識別番号出力端子とを含む複数の識別番号形成回路と、複数の前記識別番号出力端子のそれぞれにおける電圧に基づき、チップ固有の識別番号を出力する読出回路とを備えるデバイスを、ウェハ上に形成するウェハ製造ステップと、前記製造したウェハをテストするウェハテストステップと、前記ウェハテストにおいて良品と判定されたデバイスのそれぞれに対して、前記プログラミング専用パッドにプログラム信号を印加することにより、前記プログラム素子の状態を変化させて、任意の前記識別番号をプログラムするプログラムステップとを備える、半導体装置の製造方法。

【請求項 15】 前記デバイスの各々は、外部とデータの入出力を行なうリードフレームと、前記リードフレームと接続される入出力パッドと、前記入出力パッドの信号に応答して動作する内部回路とをさらに備え、前記プログラミング専用パッドは、前記リードフレームの内側に、前記リードフレームと非接合状態で配置され、前記プログラム素子は、前記プログラミング専用パッドから入力されるプログラム信号で溶断されるヒューズで構成され、前記デバイス毎に封止するステップをさらに備える、請求項 14 記載の半導体装置の製造方法。

【請求項 16】 前記デバイスの各々は、外部とデータの入出力を行なうリードフレームと、前記リードフレームと接続される入出力パッドと、前記入出力パッドの信号に応答して動作する内部回路とをさらに備え、前記プログラミング専用パッドは、前記リードフレームの内側に、前記リードフレームと非接合状態で配置され、前記プログラム素子は、ヒューズで構成され、前記複数の識別番号形成回路のそれぞれは、前記プログラミング専用パッドから入力されるプログラム信号を選択的に前記ヒューズに印加することにより、前記ヒューズを溶断させる選択回路をさらに含み、前記デバイス毎に封止するステップをさらに備える、請求項 14 記載の半導体装置の製造方法。

【請求項 17】 前記デバイスの各々は、外部とデータの入出力を行なうリードフレームと、前記リードフレームと接続される入出力パッドと、前記入出力パッドの信号に応答して動作する内部回路とをさらに備え、

4

前記プログラミング専用パッドは、前記リードフレームの内側に、前記リードフレームと非接合状態で配置され、

前記プログラム素子は、前記プログラミング専用パッドから入力されるプログラム信号に基づき短絡する短絡接合素子で構成され、

前記デバイス毎に封止するステップをさらに備える、請求項 14 記載の半導体装置の製造方法。

【請求項 18】 前記デバイスの各々は、

10 外部とデータの入出力を行なうリードフレームと、前記リードフレームと接続される入出力パッドと、前記入出力パッドの信号に応答して動作する内部回路とをさらに備え、

前記プログラミング専用パッドは、前記リードフレームの内側に、前記リードフレームと非接合状態で配置され、

前記プログラム素子は、一方の端子が、前記プログラミング専用パッドから入力されるプログラム信号を受ける短絡接合素子で構成され、

20 前記複数の識別番号形成回路のそれぞれは、前記短絡接合素子の他方の端子の電位を制御することにより、選択的に前記短絡接合素子を短絡させる選択回路をさらに含み、

前記デバイス毎に封止するステップをさらに備える、請求項 14 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置および当該半導体装置の製造方法に関し、特に、半導体装置を特定するための変造不可能な任意の固有識別番号を製造段階でプログラムすることができる半導体装置および当該半導体装置の製造方法に関する。

【0002】

【従来の技術】従来より、デバイスパッケージ毎に、デバイス（またはデバイスを組込んだ装置）を特定するための固有の識別番号（固有識別番号と称す）をワンタイム PROM を用いてプログラムする方法がとられている。

【0003】このワンタイム PROM を用いた場合、半導体製造段階においてワンタイム PROM に相当する論理回路を構成しておき、装置組立て段階において書込み作業を行ない、装置（基板）に実装する。

【0004】

【発明が解決しようとする課題】ところで、ワンタイム PROM を用いて固有識別番号のプログラムを行なう場合、以下の問題点がある。

【0005】装置の小型・軽量化を実現するための高密度実装向けに普及している狭小パッケージの半導体デバイスに対する固有識別番号のプログラム作業は、半導体
50 デバイスのリード端子変形や書込装置におけるソケット

5

とデバイスとのリード端子間での接触不良による書込不良を起しやすいたることから、作業の自動化が困難である。これは、大量生産の向かず、さらにはコストダウンも難しいことを示している。

【0006】また、デバイスパッケージ毎に異なる任意の固有識別番号をプログラムするために、デバイス外部から固有識別番号を記憶するヒューズ回路までの経路を公開する必要がある。これは、半導体製造者および装置組立者以外の第三者が、ヒューズを溶断（または形成）する箇所を追加することで、固有識別番号を追加変更（変造）することが可能であることを示している。

【0007】この問題を解決するため、半導体デバイスの製造時において固有識別番号を構成するための複数のマスクセットを組み合わせることで、デバイスパッケージ毎に異なる任意の固有識別番号を実現することも可能である。しかしながら、マスクの組み合わせによる製造方法では、（実現する固有識別番号の組み合わせ÷1ウェハ上でのチップ数）分だけのマスクが必要となる。さらに、ウェハテスト段階で検出された不良デバイスは、そのまま欠番となるという問題が存在する。

【0008】「半導体チップ（特開平7-50233号公報）」（以下、文献1と称す）では、上記課題を解決する手法として、レーザートリマー装置とレーザー溶断型ヒューズとを用いているが、任意のシリアル番号を実現するための回路は最適化されておらず、集積密度の向上が困難であるという問題点を有する。

【0009】「半導体装置及びその製造方法（特開平7-307257号公報）」（以下、文献2と称す）においても、レーザートリマー装置とレーザー溶断型ヒューズとを用いた半導体装置について述べられているが、不良解析を目的とすること、またこの手法では、不良デバイスはそのまま欠番になってしまうこと、さらには任意のシリアル番号を実現するためには具体性に欠けるとい

う問題点がある。

【0010】「ダイ特定情報に特徴付けられるダイ上の集積回路を含む装置（特開平6-97240号公報）」（以下、文献3と称す）では、過電圧の印加によるヒューズ溶断方式を使用しているが、任意のシリアル番号を実現するためには具体性に欠けること、またプログラミング経路に対する過電圧印加時の対策が必要でありチップ面積の縮小に向かないという問題点がある。さらに、半導体デバイスの外部からプログラミング経路が提供されているため、デバイスまたは装置を特定するための固有識別番号を、半導体製造者及び装置組立者以外の第三者が変更（変造）することができるという問題点がある。

【0011】そこで、本発明はかかる問題を解決するためになされたものであり、その目的は、任意の固有識別番号を製造段階においてプログラムすることが可能な半導体記憶装置及びその製造方法を提供することにある。

6

【0012】さらに、本発明の他の目的は、変造不可能な固有識別番号を有する半導体装置及びその製造方法を提供することにある。

【0013】また、本発明の他の目的は、変造不可能な固有識別番号を有する半導体装置を、寛容な方法で、大量かつ安価に生産することが可能な半導体装置及びその製造方法を提供することにある。

【0014】

【課題を解決するための手段】請求項1に係る半導体装置は、複数の識別番号形成手段を備え、複数の識別番号形成手段のそれぞれは、プログラム素子と、プログラム素子のプログラム状態／非プログラム状態に基づき電圧レベルが変化する識別番号出力端子とを含み、出力制御信号にตอบสนองして、複数の識別番号出力端子のそれぞれにおける電圧に基づき、デバイス固有の識別番号を出力する読出手段をさらに備える。

【0015】請求項2に係る半導体装置は、請求項1に係る半導体装置であって、複数の識別番号形成手段のそれぞれは、第1の電源電位と識別番号出力端子との間に接続される抵抗素子をさらに含み、プログラム素子は、対応する識別番号出力端子と第2の電源電位との間に接続される。

【0016】請求項3に係る半導体装置は、請求項2に係る半導体装置であって、プログラム素子は、ヒューズで構成され、複数の識別番号出力端子のそれぞれの電位は、対応するヒューズの溶断状態／非溶断状態にตอบสนองして変化する。

【0017】請求項4に係る半導体装置は、請求項2に係る半導体装置であって、プログラム素子は、配線材で構成され、複数の識別番号出力端子のそれぞれの電位は、対応する配線材の溶断状態／非溶断状態にตอบสนองして変化する。

【0018】請求項5に係る半導体装置の製造方法は、プログラム素子と、プログラム素子の状態に基づき電圧レベルが変化する識別番号出力端子とを各々が含む複数の識別番号形成回路と、出力制御信号にตอบสนองして、複数の識別番号出力端子のそれぞれにおける電圧に基づき、デバイス固有の識別番号を出力するための読出回路とを備えるデバイスを、ウェハ上に形成するウェハ製造ステップと、製造したウェハをテストするウェハテストステップと、ウェハテストにおいて良品と判定されたデバイスのそれぞれに対して、プログラム素子の状態を変化させることにより、任意の識別番号をプログラムするプログラムステップとを備える。

【0019】請求項6に係る半導体装置の製造方法は、請求項5に係る半導体装置の製造方法であって、プログラム素子のそれぞれは、プログラムステップで溶断状態または非溶断状態となるヒューズで構成され、複数の識別番号形成回路のそれぞれは、第1の電源電位と識別番号出力端子との間に接続される抵抗素子をさらに含み、

7

ヒューズは、識別番号出力端子と第 2 の電源電位との間に接続される。

【0020】請求項 7 に係る半導体装置の製造方法は、請求項 5 に係る半導体装置の製造方法であって、プログラム素子のそれぞれは、プログラムステップで溶断状態または非溶断状態となる配線材で構成され、複数の識別番号形成回路のそれぞれは、第 1 の電源電位と識別番号出力端子との間に接続される抵抗素子をさらに含み、配線材は、識別番号出力端子と第 2 の電源電位との間に接続される。

【0021】請求項 8 に係る半導体装置は、プログラムモードにおいて、外部からプログラム信号を受けるプログラミング専用パッドと、複数の識別番号形成手段とを備え、複数の識別番号形成手段のそれぞれは、プログラミング専用パッドで受けるプログラム信号に基づき状態を変化させるプロگرام素子と、プログラム素子の状態に基づき、電圧レベルが変化する識別番号出力端子とを含み、複数の識別番号出力端子のそれぞれにおける電圧に基づき、チップ固有の識別番号を出力する読出手段とをさらに備える。

【0022】請求項 9 に係る半導体装置は、請求項 8 に係る半導体装置であって、外部とデータの入出力を行なうリードフレームと、リードフレームと接続される入出力パッドと、入出力パッドの信号に応答して動作する内部回路とをさらに備え、プログラミング専用パッドは、リードフレームと非接合状態にあり、リードフレームの内側に配置される。

【0023】請求項 10 に係る半導体装置は、請求項 9 に係る半導体装置であって、プログラム素子は、プログラミング専用パッドから入力されるプログラム信号で溶断されるヒューズで構成される。

【0024】請求項 11 に係る半導体装置は、請求項 9 に係る半導体装置であって、プログラム素子は、ヒューズで構成され、複数の識別番号形成手段のそれぞれは、プログラミング専用パッドから入力されるプログラム信号を選択的にヒューズに印加することにより、ヒューズを選択的に溶断させる選択手段をさらに含む。

【0025】請求項 12 に係る半導体装置は、請求項 9 に係る半導体装置であって、プログラム素子は、プログラミング専用パッドから入力されるプログラム信号で短絡する短絡接合素子で構成される。

【0026】請求項 13 に係る半導体装置は、請求項 9 に係る半導体装置であって、プログラム素子は、一方の端子が、プログラミング専用パッドから入力されるプログラム信号を受ける短絡接合素子で構成され、複数の識別番号形成手段のそれぞれは、短絡接合素子の他方の端子の電位を制御することにより、選択的に短絡接合素子を短絡させる選択手段をさらに含む。

【0027】請求項 14 に係る半導体装置の製造方法は、プログラムモードにおいて、外部からプログラム信

8

号を受けるプログラミング専用パッドと、各々が、プログラミング専用パッドで受けるプログラム信号に基づき状態を変化させるプロگرام素子と、プログラム素子の状態に基づき、電圧レベルが変化する識別番号出力端子とを含む複数の識別番号形成回路と、複数の識別番号出力端子のそれぞれにおける電圧に基づき、チップ固有の識別番号を出力する読出回路とを備えるデバイスを、ウェハ上に形成するウェハ製造ステップと、製造したウェハをテストするウェハテストステップと、ウェハテストにおいて良品と判定されたデバイスのそれぞれに対し、プログラミング専用パッドにプログラム信号を印加することにより、プロگرام素子の状態を変化させて、任意の識別番号をプログラムするプログラムステップとを備える。

【0028】請求項 15 に係る半導体装置の製造方法は、請求項 14 に係る半導体装置の製造方法であって、デバイスの各々は、外部とデータの入出力を行なうリードフレームと、リードフレームと接続される入出力パッドと、入出力パッドの信号に応答して動作する内部回路とをさらに備え、プログラミング専用パッドは、リードフレームの内側に、リードフレームと非接合状態で配置され、プログラム素子は、プログラミング専用パッドから入力されるプログラム信号で溶断されるヒューズで構成され、デバイス毎に封止するステップをさらに備える。

【0029】請求項 16 に係る半導体装置の製造方法は、請求項 14 に係る半導体装置の製造方法であって、デバイスの各々は、外部とデータの入出力を行なうリードフレームと、リードフレームと接続される入出力パッドと、入出力パッドの信号に応答して動作する内部回路とをさらに備え、プログラミング専用パッドは、リードフレームの内側に、リードフレームと非接合状態で配置され、プログラム素子は、ヒューズで構成され、複数の識別番号形成回路のそれぞれは、プログラミング専用パッドから入力されるプログラム信号を選択的にヒューズに印加することにより、ヒューズを選択的に溶断させる選択回路をさらに含み、デバイス毎に封止するステップをさらに備える。

【0030】請求項 17 に係る半導体装置の製造方法は、請求項 14 に係る半導体装置の製造方法であって、デバイスの各々は、外部とデータの入出力を行なうリードフレームと、リードフレームと接続される入出力パッドと、入出力パッドの信号に応答して動作する内部回路とをさらに備え、プログラミング専用パッドは、リードフレームの内側に、リードフレームと非接合状態で配置され、プログラム素子は、プログラミング専用パッドから入力されるプログラム信号に基づき短絡する短絡接合素子で構成され、デバイス毎に封止するステップをさらに備える。

【0031】請求項 18 に係る半導体装置の製造方法

10

20

30

40

50

9

は、請求項14に係る半導体装置の製造方法であって、デバイスの各々は、外部とデータの入出力を行なうリードフレームと、リードフレームと接続される入出力パッドと、入出力パッドの信号に応答して動作する内部回路とをさらに備え、プログラミング専用パッドは、リードフレームの内側に、リードフレームと非接合状態で配置され、プログラム素子は、一方の端子が、プログラミング専用パッドから入力されるプログラム信号を受ける短絡接合素子で構成され、複数の識別番号形成回路のそれぞれは、短絡接合素子の他方の端子の電位を制御することにより、選択的に短絡接合素子を短絡させる選択回路をさらに含み、デバイス毎に封止するステップをさらに備える。

【0032】

【発明の実施の形態】【実施の形態1】本発明の実施の形態1における半導体装置およびその製造方法について説明する。本発明の実施の形態1では、レーザートリマー装置と半導体デバイス内部に形成されたレーザ溶断型ヒューズとにより、デバイスパッケージ毎に、変造不可能な、固有かつ任意の識別番号（固有識別番号）をプログラムすることを可能とするものである。

【0033】本発明の実施の形態1における固有識別番号基本回路100について、図1を用いて説明する。図1は、本発明の実施の形態1における固有識別番号基本回路100の構成の一例を示す回路図である。図1では、固有識別番号の2進表記における1ビット分を実現するための構成について示している。

【0034】図1に示す固有識別番号基本回路100は、プルアップ抵抗3、およびレーザー溶断型ヒューズ5を含む。プルアップ抵抗3は、電源2と固有識別番号出力端子1との間に接続される。レーザー溶断型ヒューズ5は、固有識別番号出力端子1と接地電位4との間に接続される。固有識別番号出力端子1は、電源2に接続されたプルアップ抵抗3の出力と接地電位4に接続されたレーザ溶断型ヒューズ5とのワイヤードANDで表現される。

【0035】デバイスパッケージ毎に固有かつ任意の識別番号を実現するためには、図1に示す固有識別番号基本回路100を必要とするビット数分だけ並べるとともに、読出専用のインタフェース回路を設ける。

【0036】次に、図1に示す固有識別番号基本回路100を用いて、nビットの固有識別番号を実現するための回路構成について、図2を用いて説明する。図2は、本発明の実施の形態1における固有識別番号構成回路1000の構成の一例を示す図であり、併せてインタフェース回路50との関係を示している。

【0037】図2に示す固有識別番号構成回路1000は、4つの固有識別番号基本回路100a、100b、100cおよび100dを含む。4つの固有識別番号基本回路100a、100b、100cおよび100dの

10

それぞれは、固有識別番号出力端子1a、1b、1cおよび1dのそれぞれから1ビットの信号を出力する。固有識別番号基本回路100a～100dの構成は、図1で説明したとおりである。

【0038】インタフェース回路50は、トライステートバッファ7a、7b、7cおよび7dを含む。トライステートバッファ7a～7dのそれぞれは、固有識別番号基本回路100a～100dのそれぞれに対応する。トライステートバッファ7a～7dのそれぞれは、外部からの処理により有意/非有意を選択できる出力選択信号8に

【0039】トライステートバッファ7aは、出力選択信号8に

【0040】インタフェース回路50の出力（出力端子6a～6dのそれぞれの信号）は、図示しないデバイスの内部バスや諸回路を経由し、デバイス外部へ出力される。

【0041】図2の構成を含む設計データを用いてウェハプロセスまでの作業を完了する。ウェハテスト段階において、アセンブリを行なうデバイスを選択する良否判定実施後、良品デバイスに対しレーザートリマー装置により任意の固有識別番号をデバイスにプログラムするための作業（トリミング処理）を行なう。

【0042】ここで、図1に示す固有識別番号基本回路100の動作とトリミング処理との関係を、図3および図4を用いて説明する。

【0043】図3は、非溶断状態における固有識別番号基本回路100の動作を説明するための図であり、図3（A）は、非溶断状態の固有識別番号基本回路100の構成を、図3（B）は、図3（A）の等価回路をそれぞれ表わしている。非溶断状態におけるレーザー溶断型ヒューズ5は、使用材質と形状とに応じた電気抵抗を持つことから、図3（A）に対する等価回路は、図3（B）に示す回路で表現されることになる。

【0044】図3（B）において、プルアップ抵抗R1は、電源2と固有識別番号出力端子1とを接続するため

【0045】図3（B）において、プルアップ抵抗R1は、電源2と固有識別番号出力端子1とを接続するため

【0046】図3（B）において、プルアップ抵抗R1は、電源2と固有識別番号出力端子1とを接続するため

【0047】図3（B）において、プルアップ抵抗R1は、電源2と固有識別番号出力端子1とを接続するため

た、抵抗R2は、接地電位4と固有識別番号出力端子1との間に配置されるレーザー溶断型ヒューズ5と配線抵抗との総和を表わしている。

【0045】ここで、プルアップ抵抗R1を、抵抗R2より大きく（単位 Ω ）構成する。また、オームの法則による固有識別番号出力端子1の電位が、当該端子に接続されるインタフェース回路50（図2参照）において論理値0を認識するためのスレッショルド電圧未満となるように適切な導電率を持つ材質を用いて回路を構成する。

【0046】図4は、溶断状態における固有識別番号基本回路100の動作を説明するための図であり、図4

(A)は、溶断状態の固有識別番号基本回路100の状態を、図4(B)は、図4(A)の等価回路をそれぞれ表わしている。レーザートリマー装置により溶断されたレーザー溶断型ヒューズ（図4(A)における5a）の電気抵抗R2は無有限大であることから、図4(A)に対する等価回路は、図4(B)で表現されることになる。

【0047】この場合、固有識別番号出力端子1の電位は、電源2に接続されたプルアップ抵抗R1により降圧された電圧レベルとなる。この出力電圧値が、当該端子に接続されるインタフェース回路50（図2参照）において論理値1を認識するためのスレッショルド電圧値以上となるよう適切な導電率を持つ材質を用いて回路を構成する。

【0048】以上の動作の組合せにより、固有識別番号基本回路100を用いることにより、レーザー溶断型ヒューズ5の溶断（導通）状態に応じて、2進表記における1ビット分の論理値出力が可能となる。さらに、図2に示す構成を用いることにより、各ビットに対しトリミング処理の実行／非実行を制御することにより、デバイスごとに異なる任意の固有識別番号を得ることができる。

【0049】次に、本発明の実施の形態1における固有識別番号基本回路の他の構成について図5を用いて説明する。図5は、本発明の実施の形態1における固有識別番号基本回路の他の構成の一例を示す回路図である。図5に示す固有識別番号基本回路150は、プルダウン型の回路構成をとる。

【0050】固有識別番号基本回路150は、レーザー溶断型ヒューズ5およびプルダウン抵抗3を含む。レーザー溶断型ヒューズ5は、電源2と固有識別番号出力端子1との間に配置する。プルダウン抵抗3は、固有識別番号出力端子1と接地電位4との間に配置する。1ビット分の固有識別番号出力端子1は、電源2に接続されたレーザー溶断型ヒューズ5の出力と接地電位に接続されたプルダウン抵抗3の出力とのワイヤードANDで表わされる。

【0051】ここで、図5に示す固有識別番号基本回路150の動作とトリミング処理との関係を図6および図

7を用いて説明する。

【0052】図6は、非溶断状態における固有識別番号基本回路150の動作を説明するための図であり、図6(A)は、非溶断状態の固有識別番号基本回路150の構成を、図6(B)は、図6(A)の等価回路をそれぞれ表わしている。非溶断状態におけるレーザー溶断型ヒューズ5は、使用材料と形状とに応じて電気抵抗を持つことから、図6(A)に対する等価回路は、図6(B)に示す回路で表現されることになる。

10 【0053】図6(B)において、プルダウン抵抗R1は、接地電位4と固有識別番号出力端子1とを接続するために使用する配線の配線抵抗の総和を表わしている。また、抵抗R2は、電源2と固有識別番号出力端子1との間に配置されるレーザー溶断型ヒューズ5と配線抵抗との総和を表わしている。

【0054】ここで、プルダウン抵抗R1は、抵抗R2より大きく（単位 Ω ）、かつオームの法則による固有識別番号出力端子の電位が、当該端子に接続されるインタフェース回路50（図2参照）における論理値1を認識するためのスレッショルド電圧以上となるように、適切な導電率を持つ材質を用いて回路を構成する。

【0055】図7は、溶断状態における固有識別番号基本回路150の動作を説明するための図であり、図7

(A)は、溶断状態にある固有識別番号基本回路150の構成を、図7(B)は、図7(A)の等価回路をそれぞれ表わしている。レーザートリマー装置で溶断されたレーザー溶断型ヒューズ（図7(A)における記号5a）の電気抵抗R2は無有限大であるため、図7(A)に対する等価回路は、図7(B)で表現されることになる。

30 【0056】この場合、固有識別番号出力端子1の出力電位は、接地電位4に接続されたプルダウン抵抗R1を介したグランド電位となる。なお、論理出力値は、図1に示す構成を用いた場合と逆になる。

【0057】以上の動作の組み合わせにより、固有識別番号基本回路150を用いることにより、レーザー溶断型ヒューズの溶断（導通）状態に応じて、2進表記における1ビット分の論理値出力が可能となる。また、固有識別番号基本回路150を複数個並列に接続し、各ビットに対しトリミング処理の実行／非実行を制御することにより、デバイスごとに異なる任意の固有識別番号を得ることも可能である。

【0058】なお、レーザー溶断型ヒューズのトリミング加工に際しては、ウェハ上のデバイスの座標位置はマスクデータより、デバイス上における当該回路の座標位置はレイアウトデータよりそれぞれ得られることから、任意のビットに対する溶断箇所座標の特定は可能である。

【0059】図8は、本発明の実施の形態1における固有識別番号の実現方法を示すフロー図である。図8に示すように、ウェハ製造工程（ステップS1）後、ウェハ

テストを実施（ステップS2）し、アセンブリを行なうデバイス選択を行なう。不良品デバイスについては、これを放置する（ステップS3）。

【0060】続いて、良品デバイス（ダイ）に対する固有識別番号の書込（プログラム）を行なう（ステップS4）。

【0061】固有識別番号のプログラミングが完了したデバイスに対し、アセンブリ（ステップS5）、ファイナルテスト（ステップS6）の工程処理を行なった後にデバイスを出荷する（ステップS7）。出荷されたデバイスは、プログラム不要な通常の半導体デバイスとして装置に組込まれる（ステップS8）。

【0062】このように、アセンブリ～パッケージング処理を行なった後には、固有識別番号情報をプログラミングするレーザー溶断型ヒューズは半導体デバイスのパッケージ内部に密封されることから、改めてトリミング処理を行なうことは不可能であり、第三者による変造を防止することができる。

【0063】装置組立段階においては、通常の半導体デバイスとして作業を行なう。この組立作業が完了した時点で、各々の装置は変造不可能な固有識別番号情報を内蔵していることになる。この固有識別番号情報は、装置や機器、ならびに同装置や機器上で動作するソフトウェアの不正使用判定用の情報として使用される。

【0064】上記に述べたとおり、本発明の実施の形態1における構成によれば、任意かつ固有の識別番号を半導体デバイスの製造段階でプログラムすることが可能となる。これにより、ワンタイムPROMのように、プログラム作業を行なった後から装置に組付けるとする作業が不要になる。またプログラム方法については、一切公開する必要がなくなる。

【0065】また、本発明の実施の形態1における構成によれば、文献1（特開平7-50233号公報）で示されている回路構成よりも少ない部品点数で同等の機能を実現できることになる。具体的には、図9に示すように、文献1に示す構成では、各ビット毎（0～7）に、ヒューズFa～Fh、および抵抗Ra～Rhを配置するとともに、さらに各ビット毎にAND回路ANDa～ANDhを配置する。

【0066】したがって、文献1の回路構成では、必要となるビット数の増大にともない、AND回路の数が増大するため、チップ面積が増大することになる。これに対して、本発明の実施の形態1における構成では、AND回路が不要であり、文献1に示す回路よりも省面積で同等の動作を実現することが可能となる。

【0067】このように、実施の形態1における構成を用いることにより、文献1で示される回路構成よりも構成論理を単純化することができるため、故障に発生率が低減するとともに小面積化が達成でき、半導体チップの集積度向上による低価格化に寄与することが可能とな

る。

【0068】〔実施の形態2〕本発明の実施の形態2は、配線部分に対しトリミングを行なうことにより、半導体デバイスに対する変造不可能な任意の固有識別番号をプログラミングするものである。

【0069】本発明の実施の形態2における構成を説明するにあたり、レーザー溶断型ヒューズを用いて溶断を行なう場合の問題点について、図10を用いて簡単に説明する。

10 【0070】レーザートリマー装置によって特定部位の溶断処理を行なう場合には、一般的に図10（A）および図10（B）に示す構造を有するレーザー溶断型ヒューズに対して処理を施すことが一般的である。図10（A）は、レーザー溶断型ヒューズの上面図を、図10（B）は、図10（A）に対応する断面図をそれぞれ表わしている。

【0071】レーザートリマー装置により溶断されるレーザー溶断型ヒューズ5は、配線43とコンタクト40とを経由して、外部論理と電気的に接続されている。レーザー溶断型ヒューズ5が溶断された際に発生するレーザー溶断型ヒューズの構成材料（たとえば、ポリシリコン等）のヒューム飛散により、ヒューズ近傍に配置される論理に悪影響を及ぼすことを防止するための障壁として、接地電位側のガードリング41と電源電位側のガードリング42とが配置されている。

【0072】ガードリング41および42が必要であることから、レーザー溶断型ヒューズ素子は、必然的にアルミニウム等の材質による通常の配線43よりも面積が大きくなるという問題を持つ。

30 【0073】これに対し、本発明の実施の形態2においては、レーザー溶断型ヒューズを使用せず、直接配線に対しトリミング処理を行なうことにより、デバイスの固有識別番号のプログラミングを実現する。なお、プログラミング処理自身については実施の形態1と同じである。

【0074】本発明の実施の形態2における固有識別番号基本回路200の基本構成について図11を用いて説明する。図11は、本発明の実施の形態2における固有識別番号基本回路200の構成の一例を示す回路図である。図11に示す構成は、2進表記における1ビット分の回路に相当する。

40 【0075】図11に示す固有識別番号基本回路200は、プルアップ抵抗3、および配線9を含む。プルアップ抵抗3は、電源2と固有識別番号出力端子1との間に接続される。配線9は、固有識別番号出力端子1と接地電位4とを接続する。固有識別番号出力端子1の電位は、プルアップ抵抗3を介した電源2の電位と、通常の配線材による接地電位4とのワイヤードANDで実現される。図示しないレーザートリマー装置により、配線9
50 におけるノードN0を溶断する。

15

【0076】ここで、固有識別番号基本回路200の動作とトリミング処理との関係について、図12および図13を用いて説明する。

【0077】図12は、非溶断状態における固有識別番号基本回路200の動作を説明するための図であり、図12(A)は、非溶断状態の固有識別番号基本回路200の構成を、図12(B)は、図12(A)の等価回路をそれぞれ表わしている。非溶断状態の配線9は、電気抵抗を有することから、図12(A)と電氣的に等価な回路は図12(B)で表わすことができる。

【0078】図12(B)において、抵抗R1は、電源2と固有識別番号出力端子1とを接続するために使用する配線材の抵抗と抵抗3との総和を表わしている。また、抵抗R2は、接地電位4と固有識別番号出力端子1との間に配置される配線材の抵抗の総和を示している。

【0079】ここで、本回路においては、抵抗R1が抵抗R2より大きくなる(単位 Ω)ように構成する。また、オームの法則による固有識別番号出力端子1の電位が、当該端子に接続されるインタフェース回路におけるLレベルのスレッシュOLD電圧未満となるように、適切な導電率を持つ素材を選択した上で回路を構成する。この場合、トリミングされなかった固有識別番号基本回路200における固有識別番号出力端子1からは、論理値0が出力される。

【0080】図13は、溶断状態における固有識別番号基本回路200の動作を説明するための図であり、図13(A)は、溶断状態の固有識別番号基本回路200の状態を、図13(B)は、図13(A)の等価回路をそれぞれ表わしている。レーザートリマー装置により溶断された配線(図13(A)における記号9a)は、無限大の電氣的抵抗を有することから、図13(A)に対する等価回路は、図13(B)で表現されることになる。

【0081】この場合、固有識別番号出力端子1の電位は、電源2に接続されたプルアップ抵抗R1により降圧された電圧レベルとなる。この出力電圧値が、当該端子に接続されるインタフェース回路におけるHレベルのスレッシュOLD電圧以上となるように、適切な導電率を持つ素材を選択して回路を構成する。この場合、レーザートリマー装置によりトリミングされた固有識別番号基本回路200における固有識別番号出力端子1から、論理値1が出力される。

【0082】以上の動作により、2進表記における1ビット分の論理出力が可能となる。同回路を複数ビット分並列接続するとともに、インタフェース回路を付加しレーザートリマー装置でそのプログラミング値を良品デバイスごとに固有となるよう制御することで、実施の形態1と同様デバイスごとに異なる任意の固有識別番号をプログラミングすることが可能となる。

【0083】なお、本発明の実施の形態2における固有識別番号基本回路の他の構成の一例について図14を用

16

いて説明する。図14は、本発明の実施の形態2における固有識別番号基本回路の他の構成の一例を示す回路図である。図14に示す固有識別番号基本回路250は、電源2と固有識別番号出力端子1との間を配線9で接続し、プルダウン抵抗3を、固有識別番号出力端子1と接地電位4との間に配置する。配線9におけるノードN0を溶断する。

【0084】ここで、図14に示す固有識別番号基本回路250の動作とトリミング処理との関係について、図15および図16を用いて説明する。

【0085】図15は、非溶断状態における固有識別番号基本回路250の動作を説明するための図であり、図15(A)は、非溶断状態の固有識別番号基本回路250の構成を、図15(B)は、図15(A)の等価回路をそれぞれ表わしている。非溶断状態の配線9は電気抵抗を持つため、図15(A)と電氣的に等価な回路は、図15(B)で表現されることになる。

【0086】図15(B)において、抵抗R1は、接地電位4と固有識別番号出力端子1との間における配線材の抵抗と抵抗3との総和を表わしている。また、抵抗R2は、電源2と固有識別番号出力端子1とを接続するために使用している配線材の抵抗の総和を表わしている。この場合、固有識別番号出力端子1から論理値1が出力される。

【0087】図16は、溶断状態における固有識別番号基本回路250の動作を説明するための図であり、図16(A)は、固有識別番号基本回路250を、図16(B)は、図16(A)に対応する等価回路をそれぞれ表わしている。溶断された配線(図16(A)における記号9a)の電気抵抗は無限大であることから、図16(A)に対する等価回路は図16(B)で表現される。この場合、固有識別番号出力端子1から、論理値0が出力される。

【0088】以上の動作により、2進表記における1ビット分の論理出力が可能となる。本構成においても、複数ビット分並列接続するとともに、インタフェース回路を付加し、レーザートリマー装置でそのプログラミング値を良品デバイスごとに固有となるよう制御することにより、同様の効果を奏することができる。

【0089】〔実施の形態3〕本発明の実施の形態3においては、固有識別番号のプログラミングを、電流溶断型ヒューズから構成される回路と、デバイスの入出力端子に接続されないプログラム専用の入力パッドとにより実現するものである。

【0090】本発明の実施の形態3における半導体デバイスの構成について、図17を用いて説明する。図17は、本発明の実施の形態3における半導体デバイスの主要部の構成の一例を示す図である。

【0091】図17に示す半導体デバイスでは、パッケージ10の内部に、プロセスにより回路を構成するダイ

17

11、デバイスの外部入出力ピンとして設けられるリードフレーム12、ダイ11上の入出力パッド14、およびリードフレーム12を接続するためのボンディングワイヤ13を含む。

【0092】図17に示す半導体デバイスはさらに、ヒューズ回路19、プログラミング専用パッド17、および配線18を備える。ヒューズ回路19は、デバイスの固有識別番号を示す固有電位を出力する。プログラミング専用パッド17は、ヒューズ回路19のプログラミングを行なうために使用する。プログラミング専用パッド17は、リードフレーム12と非接続状態にある。配線18は、ヒューズ回路19とプログラミング専用パッド17とを結ぶ。

【0093】図17に示す半導体デバイスはさらに、内部回路16、読出回路21、および配線20を備える。読出回路21は、ヒューズ回路19により出力されるデバイスの固有識別番号を示す固定電位を内部回路16へ出力するか否かを制御する。配線20は、ヒューズ回路19と読出回路21とを結ぶ。内部回路16は、読出回路21の出力を受ける。

【0094】図8で説明したように、ウェハプロセス完了後のウェハ上では、不良品を含む複数のダイ11が形成されている。ウェハテストでは、ウェハ上に形成されている複数のダイ11から良品を選別するためのウェハテストを行なう（図8に示すステップS2）。

【0095】このウェハテストにおいて良品と判定されたダイ11に対し、プログラミング専用パッド17からヒューズ回路19に対し、過電圧や電流パルスを印加することにより、デバイス（ダイ）ごとに異なるデバイスの固有識別番号をプログラミングする（図8に示すステップS4に該当）。

【0096】このプログラミングによりヒューズ回路19にプログラムされたデバイスの固有識別番号を示す固定電位は、読出回路21を経由して内部回路16に出力され、ここで処理されることになる。

【0097】デバイス（ダイ）の固有識別番号のプログラミング処理の終わったウェハは、アセンブリ工程に送られダイ11を封入するためのパッケージ10に収められるとともに、パッケージ10に接合されているリードフレーム12との間をボンディングワイヤ3により接続する（図8に示すステップS5～）。

【0098】デバイス（ダイ）の固有識別番号のプログラミングに用いたプログラミング専用パッド17は、リードフレーム12と接続されずに放置する。この処理によりパッケージ封入後には、ヒューズ回路19に対するデバイス外部からのプログラミング経路は遮断されることになる。この結果、デバイスの固有識別番号の変造が不可能となる。このアセンブリ作業が完了した時点でファイナルテスト実施後出荷作業を行なう。

【0099】ここで、図17におけるヒューズ回路19

18

とプログラミング専用パッド17との関係について、図18を用いて説明する。図18は、図17に示すヒューズ回路19に含まれる固有識別番号基本回路300の構成の一例を示す図である。

【0100】図18に示す固有識別番号基本回路300は、プルアップ抵抗3、およびヒューズ25を含む。プルアップ抵抗3は、ノードN1と電源2との間に接続される。ヒューズ25は、ノードN1と接地電位4との間に接続される。ノードN1には、プログラミング専用パッド17および固有識別番号出力端子1が接続される。ヒューズ25は、ポリシリコン等の材質で構成され、外部から印加される電氣的なストレス（過大電流パルスや過電圧）により溶断される構造となっている。

【0101】ここで、図18に示す固有識別番号基本回路300の動作とトリミング処理との関係を、図19および図20を用いて説明する。

【0102】図19は、非溶断状態の固有識別番号基本回路300の動作を説明するための図であり、図19

(A)は、非溶断状態の固有識別番号基本回路300の構成を、図19(B)は、図19(A)の等価回路をそれぞれ表わしている。

【0103】この場合、ウェハテスト完了段階において、当該ビットに対応するプログラミング専用パッドには、ヒューズ25を溶断するための電流パルスを印加しない。非溶断状態のヒューズ25は、電気抵抗を有することから、図19(A)に対応する等価回路は、図19(B)で表現されることになる。

【0104】図19(B)において、抵抗R1は、固有識別番号出力端子1と電源2との間の配線材の抵抗と、プルアップ抵抗3との総和を表わしている。また、抵抗R2は、ヒューズ25と、固有識別番号出力端子1と接地電位4との間を接続する配線材による電気抵抗との総和を表わしている。

【0105】なお、プログラミング専用パッド17に関しては、デバイスの外部端子を兼ねたリードフレームと接続されていないことからオープン状態であり無視できるため、等価回路（図19(B)）からは削除してある。

【0106】ここで、抵抗R1は、抵抗R2より大きく、かつオームの法則に基づく固有識別番号出力端子1の電位が、当該端子に接続される読出回路21において論理値0を検出するためのスレッシュホールド電圧未満となるよう適切な導電率を持つ材質を用いて回路を構成する。

【0107】図20は、溶断状態における固有識別番号基本回路300の動作について説明するための図であり、図20(A)は、溶断状態の固有識別番号基本回路300の構成を、図20(B)は、図20(A)の等価回路をそれぞれ表わしている。溶断されたヒューズ（図20(A)における記号25a）の電気抵抗R2は無限

19

大であることから、図 20 (A) の等価回路は、図 20 (B) で表現されることになる。

【0108】ここで、溶断されたヒューズの電気抵抗は無限大であること、プログラミング専用パッド 17 は、デバイスの外部端子を兼ねたリードフレーム 12 と接続されていないことから、オープン状態であるため等価回路から削除している。

【0109】ここで、固有識別番号出力端子 1 の電位は、抵抗 R1 により降圧された電源 2 の電位であり、この出力電位が固有識別番号出力端子 1 に接続される読出回路 21 において、論理値 1 を検出できるスレッシュホールド電圧以上となるように回路を構成する。

【0110】以上の組合せにより、ヒューズ 25 の導通状態に応じて、固有識別番号出力端子 1 から、2 進表記における 1 ビット分の論理値の出力が可能となる。

【0111】次に、図 18 に示す固有識別番号基本回路 300 を用いて、n ビット幅の固有識別番号を実現するための回路構成について、図 21 を用いて説明する。

【0112】図 21 は、本発明の実施の形態 3 における固有識別番号構成回路 3000 の構成の一例を示す図である。固有識別番号構成回路 3000 は、図 18 に示す固有識別番号基本回路を複数含む。図 21 において、記号 17#0、…、17#n-2、17#n-1 のそれぞれは、プログラミング専用パッドをそれぞれ表わしている。また、記号 1#0、…、1#n-2、1#n-1 のそれぞれは、固有識別番号出力端子を表わしている。

【0113】プログラミング専用パッド 17#0、…、17#n-2、17#n-1 のそれぞれは、固有識別番号出力端子 1#0、…、1#n-2、1#n-1 のそれぞれと 1 対 1 に対応している。1 組のプログラミング専用パッドおよび固有識別番号出力端子に対して、抵抗 3 とヒューズ 25 とを配置する。

【0114】ヒューズ 25 のそれぞれの導通状態がデバイスごとに固有となるように、プログラミング専用パッドへの入力（電流パルス入力）を制御することによりプログラミングを施す。これにより、変造不可能な、デバイスごとに異なる固有識別番号を内蔵した半導体デバイスを得ることができる。

【0115】このように構成することで、ヒューズの導通状態をプログラミングするために用いられるレーザートリマー装置が不要になり、テストを兼ねた書込装置のみを用いてヒューズのプログラミングを行なうことが可能となる。

【0116】また、プログラミング専用パッドとヒューズとを直結（または、それに近い構成）しているため、電流パルスのストレスを回避する必要がある部品がプログラミング経路にほとんど存在しておらず、ヒューズ溶断用の電流パルス対策を施す部分が最小で済む。このため、外部信号に基づきヒューズを溶断する文献 3（特開平 6-97240 号公報）の構成よりも、レイアウト面

20

積を縮小することができ、半導体チップの集積度向上による低価格化に寄与することができる。

【0117】【実施の形態 4】本発明の実施の形態 4 では、実施の形態 3 に対し、より少ないプログラミング専用パッドを用いて、固有識別番号をプログラミングすることのできる半導体デバイスを提供する。

【0118】本発明の実施の形態 4 における固有識別番号基本回路について、図 22 を用いて説明する。図 22 は、本発明の実施の形態 4 における固有識別番号基本回路 400 の構成の一例を示す図であり、2 進表記における 1 ビット分の回路に相当する。

【0119】図 22 における固有識別番号基本回路 400 は、プルアップ抵抗 3、トランジスタ 23 および電流パルスで溶断されるヒューズ 25 を含む。プルアップ抵抗 3 は、ノード N2 と電源 2 との間に接続される。プログラミング専用パッド 17 および固有識別番号出力端子 1 は、ノード N2 に接続される。プログラミング専用パッド 17 は上述したように、デバイスパッケージに結合された外部ピンを兼ねたリードフレームには接合されていない。

【0120】トランジスタ 23 のコレクタ端子は、ノード N2 に接続される。ヒューズ 25 は、トランジスタ 23 のエミッタ端子と接地電位 4 との間に接続される。トランジスタ 23 の動作を制御するためのベース端子は、デコーダ回路出力端子 32 に接続されている。デコーダ回路出力端子 32 は、後述するデコーダ回路の出力を受ける。デコーダ回路出力端子 32 の電位により、ヒューズ 25 のプログラミング時には、溶断対象となるヒューズのみが選択対象となり、デバイスの実動作時には、全トランジスタが選択状態となる。

【0121】まず、図 22 に示す固有識別番号基本回路 400 におけるプログラミング処理について説明する。図 22 において、トランジスタ 23 のベース端子に、デコーダ回路出力端子 32 から電圧が印加されていない場合、コレクタ端子とエミッタ端子とは非導通状態である。この場合、回路内に接地電位が存在しないことから、プログラミング専用パッド 17 からヒューズ 25 を溶断するための電流パルスを印加してもヒューズ 25 は溶断されない。

【0122】一方、トランジスタ 23 のベース端子に電圧が印加された場合、コレクタ端子とエミッタ端子とが導通状態となり、プログラミング専用パッド 17 と接地電位 4 とが導通状態となる。この状態において、電流パルスをプログラミング専用パッド 17 から印加すると、ヒューズ 25 が溶断される。

【0123】すなわち、電流パルスを印加するプログラミング処理時において、トランジスタ 23 のベース端子に必要となる電圧が印加された場合、1 対 1 で対応するヒューズ 25 のみが溶断される。

【0124】次に、プログラム処理後における非溶断状

21

態の固有識別番号基本回路400の動作について説明する。デコーダ回路出力端子32から電圧供給がない場合、トランジスタ23はオフ状態にあり、エミッタ端子とコレクタ端子とは非導通状態にある。このため、固有識別番号出力端子1は、プルアップ抵抗3を介した電源2の電位となる。

【0125】一方、デコーダ回路出力端子32に電圧が供給された場合、トランジスタ23のエミッタ端子とコレクタ端子とは導通状態になる。トランジスタ23は、エミッタ接地回路の構成をとることから、固有識別番号出力端子1の電位は、デコーダ回路出力端子32の電圧をトランジスタ23により増幅した値となる。

【0126】次に、プログラム処理後における溶断状態の固有識別番号基本回路400の動作について、図23を用いて説明する。図23は、溶断状態にある固有識別番号基本回路400の動作を説明するための図である。ヒューズが溶断状態にある（図23における記号25a）場合には、トランジスタ23のベース端子への印加電圧にかかわらず、接地電位4への電流経路が存在しないため、固有識別番号出力端子1は、プルアップ抵抗3を介した電源2の電位になる。

【0127】したがって、トランジスタ23のベース端子にデコーダ回路出力端子32から電圧が印加された場合、ヒューズ25の溶断（導通）状態に応じた電位差が固有識別番号出力端子1に発生することになる。この電位差を検出し、異なる状態の論理出力に変化するための図示しないセンスアンプ回路を固有識別番号出力端子1に接続することにより、ヒューズ25の導通状態を1または0の論理値出力として読出すことができる。

【0128】次に、固有識別番号基本回路400を用いて、 n ビット幅の固有識別番号を実現するための回路構成について、図24を用いて説明する。

【0129】図24は、本発明の実施の形態4における固有識別番号構成回路4000の構成の一例を示す図である。固有識別番号構成回路4000は、図22に示す固有識別番号基本回路を複数含む。図24において、記号32#0、…、32# $n-2$ 、32# $n-1$ は、デコーダ回路出力端子をそれぞれ表わしている。また、記号1#0、…、1# $n-2$ 、1# $n-1$ は、固有識別番号出力端子をそれぞれ表わしている。1組のデコーダ回路出力端子および固有識別番号出力端子に対して、抵抗3、トランジスタ23、およびヒューズ25を配置する。

【0130】デコーダ回路31は、プログラム対象ヒューズ選択端子29#0、29#1、29#2、…から受ける信号をデコードし、デコード結果をデコーダ回路出力端子32#0、32# $n-2$ 、32# $n-1$ に出力する。

【0131】ヒューズプログラム時には、デコーダ回路出力端子32#0、32# $n-2$ 、32# $n-1$ のそれ

22

ぞれは、デコーダ回路31により、プログラム対象ヒューズ選択端子29#0、…のデコード結果を出力する。プログラム終了後には、固有識別番号を読出す周期にのみ、デコーダ回路出力端子32#0、32# $n-2$ 、32# $n-1$ のそれぞれは、論理値1になる。

【0132】図24に示す構成において、OR回路33は、電源2と電流パルスを入力するプログラミング専用パッド17の信号とを入力に受ける。プルアップ抵抗3は、OR回路33を介して、電源2またはプログラミング専用パッド17から電源の供給を受ける。プログラミング専用パッド17は上述したように、ヒューズプログラミング時において電流パルスを印加するための専用パッドであり、デバイスの外部ピンを兼ねたリードフレームと非結合状態にある。

【0133】なお、上記説明においては、トランジスタ23をバイポーラ型として表記したが、これをMOS型ならびに製造プロセスに対応した相当回路を使用した場合でも、同様の効果を奏することができる。

【0134】また、上記実施の形態では、トランジスタ23による基本増幅回路の構成を、NPN型のエミッタ接地回路を一例として説明したが、他の構成（ベース接地回路、コレクタ接地回路（エミッタフォロワ））や、PNP型を使用した同等の回路であってもよい。

【0135】また、上記実施例では、バイアス回路を省略したが、バイアス回路を付加することにより、電圧利得を改善することができる。

【0136】このように構成することにより、本発明の実施の形態3に示した効果に加えて、デバイスごとに異なる固有識別番号のプログラムに要するプログラミング専用パッド数を削減することができる。

【0137】〔実施の形態5〕本発明の実施の形態5においては、ヒューズに代わり短絡による導通状態の形成を行なう短絡接合素子を用いて固有識別番号を実現する。

【0138】本発明の実施の形態5における固有識別番号基本回路の具体的構成を、図24を用いて説明する。図24は、本発明の実施の形態5における固有識別番号基本回路500の基本構成の一例を示す図であり、2進表記における1ビット分の回路に対応している。

【0139】図25における固有識別番号基本回路500は、ダイオード26、プルダウン抵抗3、ヒューズ情報読出選択回路24、および電流検出回路35を含む。固有識別番号出力端子1は、PN接合により形成されるダイオード26のアノード端子と、プルダウン抵抗3の一方の端子とに接続されている。プルダウン抵抗3の他方の端子は、接地電位4と接続されている。また、ダイオード26のカソード端子は、プログラミング専用パッド17およびヒューズ情報読出選択回路24に接続されている。固有識別番号出力端子1には、電流検出回路35が接続されている。

23

【0140】プログラミング専用パッド17は、外部ピンを兼ねたリードフレームと非接合状態にある。また、ヒューズ情報読出選択回路24は、固有識別番号情報を読出す周期にのみ、有意（論理値1）になる電圧を供給する。

【0141】次に、本発明の実施の形態5における固有識別番号基本回路500の動作について説明する。プログラミング専用パッド17から電流パルス印加しない場合、ヒューズ情報読出選択回路24から電圧を印加した場合であっても、ダイオードのアノード端子とカソード端子との間に電流が流れない。したがって、固有識別番号出力端子1は、プルダウン抵抗3を介して接地電位4に接続されているため、接地電位となり電流は流れない。

【0142】次に、電流パルス印加した場合の固有識別番号基本回路500の動作について、図26を用いて説明する。図26は、図24に示す固有識別番号基本回路500に電流パルスを印加した場合の等価回路を示す図である。

【0143】プログラミング専用パッド17から電流パルスを印加すると、ダイオード26の接合部においてストレスが発生し、温度が上昇する。この温度上昇により、アルミニウムとダイオードとの間で共晶が成長し、接合が短絡される。図26では、配線27により短絡状態を表わしている。

【0144】図26に示す等価回路では、ダイオード26の効果はなく、ヒューズ情報読出選択回路24、プルダウン抵抗3および接地電位4で回路が構成される。このため、ヒューズ情報読出選択回路24から電圧が印加されると、固有識別番号出力端子1は正の電位となり電流が流れる。

【0145】以上のように、プログラミング専用パッド17からの電流パルス印加状態によって、同回路の非導通状態（図24に相当）と導通状態（図25に相当）との制御が行なわれる。

【0146】これにより、固有識別番号基本回路500における固有識別番号出力端子1にセンスアンプなどの電流検出回路35を接続することにより、電流の有無に基づく電位差の変動を論理値情報に変化することができる。

【0147】この結果、固有識別番号基本回路500を並列に数個並べるとともに、変換後の論理値情報を読出回路（図17の記号21）に出力することで、デバイスの内部回路（図17の記号16）にデバイスごとに異なる固有識別番号情報を出力することが可能となる。

【0148】なお、本発明の実施の形態5においてはヒューズに相当するプログラム素子としてダイオードを使用しているため、素子の形成がポリシリコンなどの材料により構成される電流パルス溶断型ヒューズよりも容易に構成できるという利点を持つ。その他の効果について

24

は、本発明の実施の形態3で述べたとおりである。

【0149】〔実施の形態6〕本発明の実施の形態6は、実施の形態5に対し、より少ないプログラミング専用パッドを用いて、短絡結合状態をプログラムするための回路構成を提供するものである。

【0150】本発明の実施の形態6における固有識別番号基本回路の基本構成について、図27を用いて説明する。図27は、本発明の実施の形態6における固有識別番号基本回路600の構成の一例を示す図であり、2進表記における1ビット分の回路に相当する。

【0151】図26における固有識別番号基本回路600は、ダイオード26、トランジスタ28、ヒューズ情報読出選択回路24、および電流検出回路35を含む。固有識別番号出力端子1は、PNPトランジスタ28のベース端子と、デコード回路出力端子32とに接続されている。デコード回路出力端子32は、プログラム素子をプログラムする際には、接地電位に設定される。

【0152】トランジスタ28のコレクタ端子は、接地電位4に接続されている。ダイオード26のカソード端子は、プログラミング専用パッド17とヒューズ情報読出選択回路24とに接続されている。

【0153】次に、プログラミング専用パッド17から電流パルスが印加されない場合の固有識別番号基本回路600の動作について説明する。プログラミング時には、デコード回路出力端子32は、デコード回路（図示せず）を介してテストを兼ねた書込装置（図示せず）によりグランド電位に設定される。この動作により、トランジスタ28のゲート端子は、接地電位となり、エミッタ端子とコレクタ端子との導通が確保される。しかしながら、電流パルスの印加が行なわれないことから、ダイオード26のアノード端子とカソード端子とは非接合状態を保持する。

【0154】プログラム後にヒューズ情報読出選択回路24から正電位が印加された場合、ダイオード26が非導通状態を保持することから、トランジスタ28のゲート端子と接続されている固有識別番号出力端子1には電流は流れない。

【0155】次に、プログラミング専用パッド17から電流パルスが印加される場合の固有識別番号基本回路600の動作について、図28を用いて説明する。図28は、図27に示す固有識別番号基本回路600に電流パルスを印加した場合の等価回路を示す図である。

【0156】プログラム時には、デコード回路出力端子32は、接地電位に設定され、トランジスタ28のエミッタ端子とコレクタ端子との導通状態が確保される。この状態において、ダイオード26のカソード端子に接続されているプログラミング専用パッド17から電流パルスを印加すると、p層とn層の接合部において温度が上昇し、アルミニウムとシリコンとの結晶が成長し、短絡状態となる。図28では、配線27により短絡状態を表

わしている。

【0157】この状態で、ヒューズ情報読出選択回路24から正電位を印加すると、配線27により、トランジスタ28のエミッタ端子に電位が印加される。この結果として、トランジスタ28のベース端子に電流が流れることになる。

【0158】このように、プログラミングを施したダイオードと、非プログラム状態のダイオードとでは、ヒューズ情報読出選択回路24から電圧を印加した場合で、電流の有無の2状態を実現することができる。これにより、固有識別番号出力端子1に接続された電流検出回路25を用いて、2値の論理値情報（1もしくは0）を得ることができる。

【0159】よって、固有識別番号基本回路600を並列に数個並べるとともに、電流検出回路25により変換した論理値情報を読出回路（図17の記号21）に出力することで、内部回路（図17の記号16）にデバイスごとに異なる固有識別番号情報を出力することができる。

【0160】次に、固有識別番号基本回路600を用いて、nビット幅の固有識別番号を実現するための回路構成について、図29を用いて説明する。

【0161】図29は、本発明の実施の形態6における固有識別番号構成回路6000の構成の一例を示す図である。図29において、記号32#0、…、32#n-2、32#n-1は、デコード回路出力端子をそれぞれ表わしている。また、記号1#0、…、1#n-2、1#n-1は、固有識別番号出力端子をそれぞれ表わしている。1組のデコード回路出力端子および固有識別番号出力端子に対して、抵抗3、トランジスタ28、およびダイオード26を配置する。

【0162】電源パルスを印加するためのプログラミング専用パッド17は全ビットにおいて共通であり、プルアップ抵抗3は、OR回路33を介して、プログラミング専用パッド17の入力または電源2の供給を受ける。これにより、プルアップ抵抗3を介したダイオード26のカソード端子には、プログラミング時には電流パルスが、封入後の通常使用時には電源電圧が印加されるようになる。

【0163】本構成においては、プログラム素子選択用のトランジスタを使用することにより、デバイスごとに異なる固有識別番号をプログラムする際に必要となるプログラミング専用パッドの数を削減することができる。

【0164】なお、本実施の形態6においては、トランジスタ28をバイポーラ型で表記したが、MOS型もしくは製造プロセスに対応した形でも同様の効果を奏することができる。また、トランジスタ28による基本増幅回路の構成を、PNP型のエミッタフォロワ回路（コレクタ接地回路）を一例に説明したが、PNP型の使用や他の回路の構成（エミッタ接地回路、ベース接地回路

等）でもよい。

【0165】なお、上記の説明においては、バイアス回路を省略しているが、同回路を付加することによりヒューズ情報読出選択回路24と固有識別番号出力端子1との間における電圧利得を改善することが可能となる。

【0166】さらに、本発明の実施の形態6においては、短絡接合型のプログラム素子としてダイオードを使用しているが、絶縁膜破壊型メモリセル（酸化膜や他の絶縁膜に対し過電圧を印加することで絶縁破壊し、プログラムを行なう素子）をアレイ状に配したものをを用いても同様の効果を奏することができる。

【0167】なお、今回開示された実施の形態は全ての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した実施の形態の説明でなく特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0168】

【発明の効果】以上のように、請求項1および請求項2に係る半導体装置によれば、プログラム素子および抵抗のみで、デバイス毎に異なる固有の識別番号をプログラムすることが可能となる。これにより、半導体装置の集積度を向上させ、低価格化を実現することができる。

【0169】請求項3に係る半導体装置は、請求項2に係る半導体装置であって、半導体製造段階でレーザー溶断型ヒューズを溶断することで、任意の固有識別番号をプログラムすることが可能となる。

【0170】請求項4に係る半導体装置は、請求項2に係る半導体装置であって、半導体製造段階で配線を切断することにより、任意の固有識別番号をプログラムすることが可能となる。また、ヒューズを用いる場合よりも、さらに面積を縮小させることが可能となる。

【0171】請求項5に係る半導体装置の製造方法によれば、製造段階において、プログラム素子および抵抗のみで、デバイス毎に異なる固有の識別番号をプログラムすることが可能となる。これにより、固有識別番号の変造を防止することが可能となる。

【0172】請求項6に係る半導体装置の製造方法は、請求項5に係る半導体装置の製造方法であって、半導体製造段階でレーザー溶断型ヒューズを溶断することで、任意の固有識別番号をプログラムすることが可能となる。

【0173】請求項7に係る半導体装置の製造方法は、請求項5に係る半導体装置の製造方法であって、半導体製造段階で配線を切断することにより、任意の固有識別番号をプログラムすることが可能となる。また、ヒューズを用いる場合よりも、さらに面積を縮小させることが可能となる。

【0174】請求項8および請求項9に係る半導体装置によれば、プログラミング専用パッドから入力される信

号に回答して、プログラム素子の状態を変化させることで、デバイス毎に異なる固有の識別番号をプログラムすることが可能となる。これにより、専用のプログラム装置が不要となり、テスト等でプログラムが可能となる。また、プログラミング専用パッドは、他の入出力ピンと非接続状態にある。これにより、パッケージ封入後、固有識別番号の変造が不可能となる。

【0175】請求項10に係る半導体装置は、請求項9に係る半導体装置であって、プログラミング専用パッドから入力される信号を直接ヒューズに印加することによりプログラムを実行する。これにより、他の部品に対する、プログラミング専用パッドから入力される信号（ストレス）の影響を防止することが可能となる。これにより、デバイスの面積を縮小することが可能となる。

【0176】請求項11に係る半導体装置は、請求項9に係る半導体装置であって、選択的に、プログラミング専用パッドから入力される信号を直接ヒューズに印加することによりプログラムを実行する。この結果、プログラミング専用パッドの数を少なくすることが可能となる。また、他の部品に対する、プログラミング専用パッドから入力される信号（ストレス）の影響を防止することが可能となる。これにより、デバイスの面積を縮小することが可能となる。

【0177】請求項12に係る半導体装置は、請求項9に係る半導体装置であって、プログラミング専用パッドから入力される信号を直接短絡接合素子に印加することによりプログラムを実行する。これにより、他の部品に対する、プログラミング専用パッドから入力される信号（ストレス）の影響を防止することが可能となる。これにより、デバイスの面積を縮小することが可能となる。

【0178】請求項13に係る半導体装置は、請求項9に係る半導体装置であって、選択的に、プログラミング専用パッドから入力される信号を直接短絡接合素子に印加することによりプログラムを実行する。この結果、プログラミング専用パッドの数を少なくすることが可能となる。また、他の部品に対する、プログラミング専用パッドから入力される信号（ストレス）の影響を防止することが可能となる。これにより、デバイスの面積を縮小することが可能となる。

【0179】請求項14に係る半導体装置の製造方法によれば、製造段階において、プログラミング専用パッドを用いて、デバイス毎に異なる固有の識別番号をプログラムすることが可能となる。

【0180】請求項15に係る半導体装置の製造方法は、請求項14に係る半導体装置の製造方法であって、半導体製造段階でヒューズを溶断することで、任意の固有識別番号をプログラムすることが可能となる。プログラミング専用パッドは、他の入出力ピンと非接続状態にある。これにより、パッケージ封止後、固有識別番号の変造が不可能となる。

【0181】請求項16に係る半導体装置の製造方法は、請求項14に係る半導体装置の製造方法であって、半導体製造段階でヒューズを選択的に溶断することで、任意の固有識別番号をプログラムすることが可能となる。プログラミング専用パッドは、他の入出力ピンと非接続状態にある。これにより、パッケージ封止後、固有識別番号の変造が不可能となる。

【0182】請求項17に係る半導体装置の製造方法は、請求項14に係る半導体装置の製造方法であって、半導体製造段階で短絡接合素子を短絡することで、任意の固有識別番号をプログラムすることが可能となる。プログラミング専用パッドは、他の入出力ピンと非接続状態にある。これにより、パッケージ封止後、固有識別番号の変造が不可能となる。

【0183】請求項18に係る半導体装置の製造方法は、請求項14に係る半導体装置の製造方法であって、半導体製造段階で短絡接合素子を選択的に短絡することで、より少ないプログラミング専用パッドを用いて、任意の固有識別番号をプログラムすることが可能となる。プログラミング専用パッドは、他の入出力ピンと非接続状態にある。これにより、パッケージ封止後、固有識別番号の変造が不可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における固有識別番号基本回路100の構成の一例を示す回路図である。

【図2】 本発明の実施の形態1における固有識別番号構成回路1000の構成の一例を示す図である。

【図3】 非溶断状態における固有識別番号基本回路100の動作を説明するための図である。

【図4】 溶断状態における固有識別番号基本回路100の動作を説明するための図である。

【図5】 本発明の実施の形態1における固有識別番号基本回路の他の構成の一例を示す回路図である。

【図6】 非溶断状態における固有識別番号基本回路150の動作を説明するための図である。

【図7】 溶断状態における固有識別番号基本回路150の動作を説明するための図である。

【図8】 本発明の実施の形態1における固有識別番号の実現方法を示すフロー図である。

【図9】 文献1（特開平7-50233号公報）における固有識別番号構成回路の構成を説明するための回路図である。

【図10】 レーザ溶断型ヒューズを用いて溶断を行なう場合の問題点について説明するための図である。

【図11】 本発明の実施の形態2における固有識別番号基本回路200の構成の一例を示す回路図である。

【図12】 非溶断状態における固有識別番号基本回路200の動作を説明するための図である。

【図13】 溶断状態における固有識別番号基本回路200の動作を説明するための図である。

29

【図14】 本発明の実施の形態2における固有識別番号基本回路の他の構成の一例を示す図である。

【図15】 非溶断状態における固有識別番号基本回路250の動作を説明するための図である。

【図16】 溶断状態における固有識別番号基本回路250の動作を説明するための図である。

【図17】 本発明の実施の形態3における半導体デバイスの主要部の構成の一例を示す図である。

【図18】 本発明の実施の形態3におけるヒューズ回路19に含まれる固有識別番号基本回路300の構成の一例を示す図である。

【図19】 非溶断状態における固有識別番号基本回路300の動作を説明するための図である。

【図20】 溶断状態における固有識別番号基本回路300の動作を説明するための図である。

【図21】 本発明の実施の形態3における固有識別番号構成回路3000の構成の一例を示す図である。

【図22】 本発明の実施の形態4における固有識別番号基本回路400の構成の一例を示す図である。

【図23】 溶断状態における固有識別番号基本回路400の動作を説明するための図である。

【図24】 本発明の実施の形態4における固有識別番号構成回路4000構成の一例を示す図である。

【図25】 本発明の実施の形態5における固有識別番号基本回路500の構成の一例を示す図である。

【図26】 電流パルスを印加した状態における固有識 *

30

*別番号基本回路500の動作を説明するための図である。

【図27】 本発明の実施の形態6における固有識別番号基本回路600の構成の一例を示す図である。

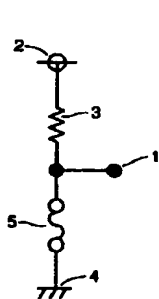
【図28】 電流パルスを印加した状態における固有識別番号基本回路600の動作を説明するための図である。

【図29】 本発明の実施の形態6における固有識別番号構成回路6000の構成の一例を示す図である。

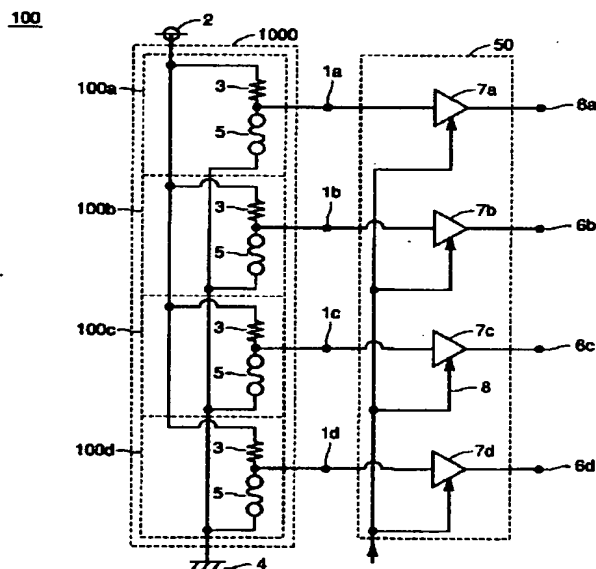
【符号の説明】

1 固有識別番号出力端子、2 電源電位、3 抵抗、4 接地電位、5、25 ヒューズ、6 出力端子、7a~7d トライステートバッファ、8 出力識別信号、9 配線、10 パッケージ、11 ダイ、12 リードフレーム、13 ボンディングワイヤ、16 内部回路、17 プログラミング専用パッド、19 ヒューズ回路、21 読出回路、23, 28 トランジスタ、24 ヒューズ情報読出選択回路、26 ダイオード、31 デコーダ回路、32 デコーダ回路出力端子、29 プログラム対象ヒューズ選択端子、33 O/R回路、35 電流検出回路、50 インターフェース回路、100, 100a~100d, 150, 200, 250, 300, 400, 500, 600 固有識別番号基本回路、1000~6000 固有識別番号構成回路。

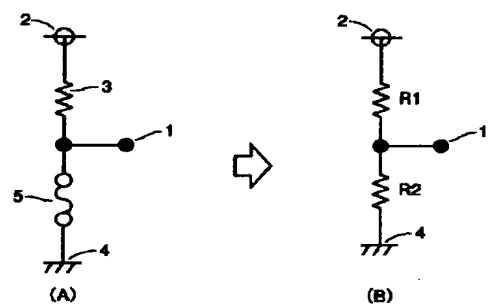
【図1】



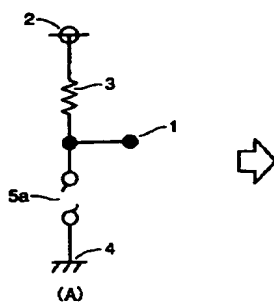
【図2】



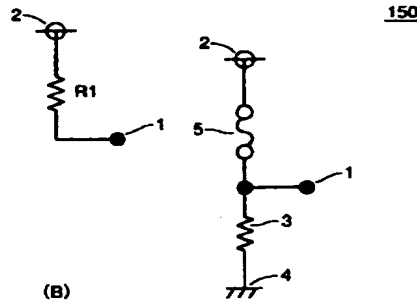
【図3】



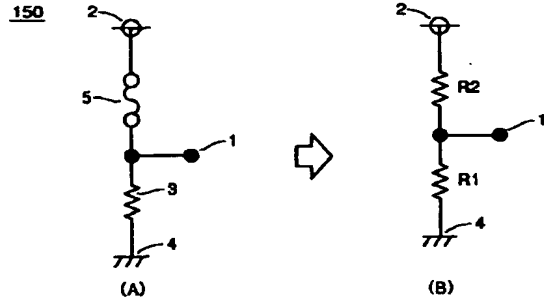
【図4】



【図5】

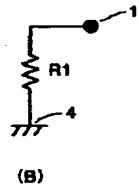
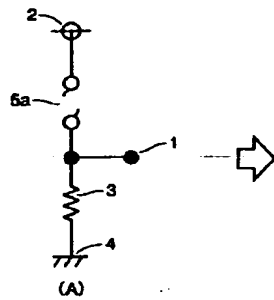


【図6】

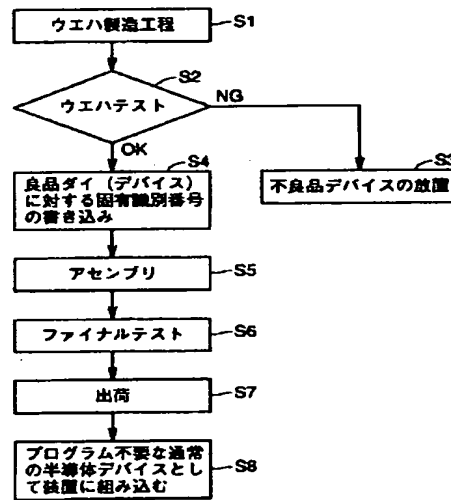


(B)

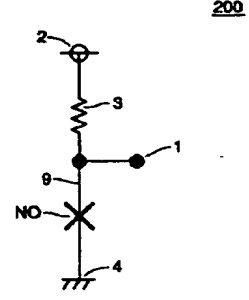
【図7】



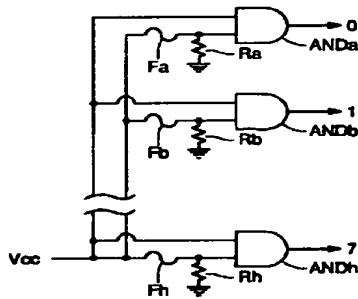
【図8】



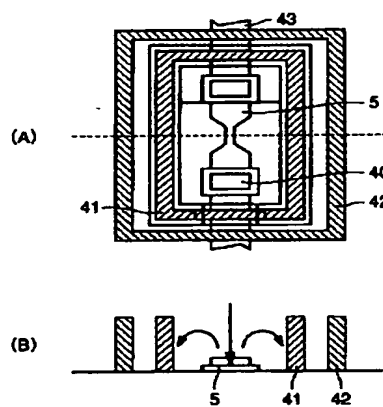
【図11】



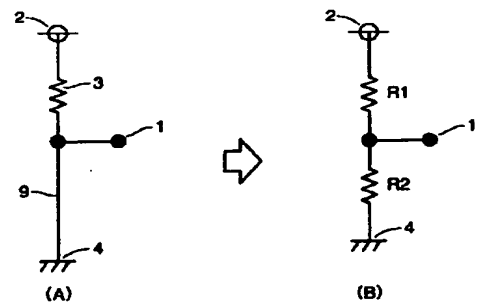
【図9】



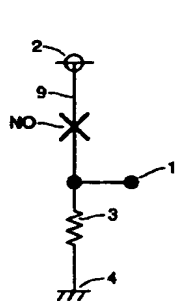
【図10】



【図12】

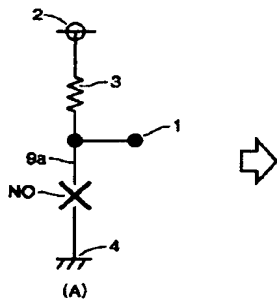


【図14】

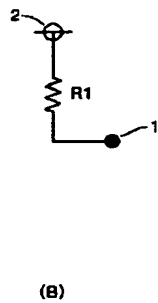


250

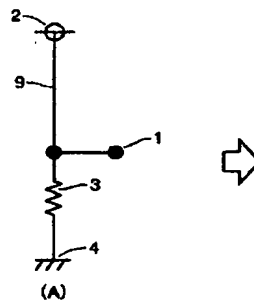
【図13】



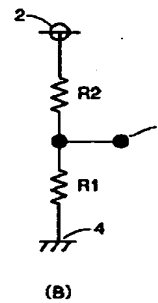
(B)



【図15】

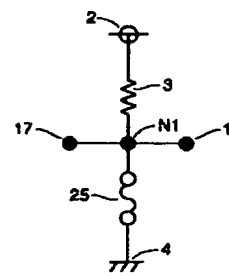


(B)

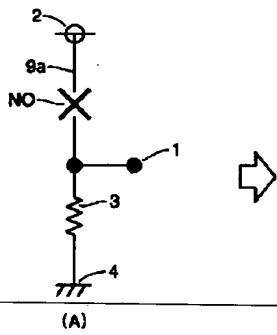


【図18】

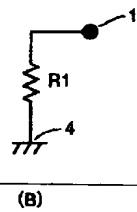
300



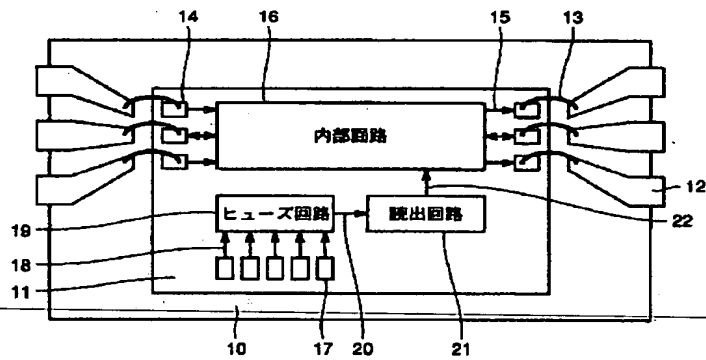
【図16】



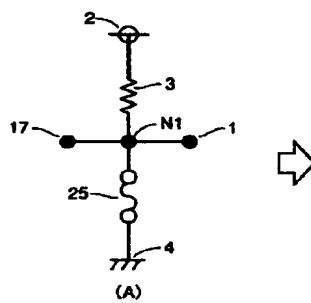
(B)



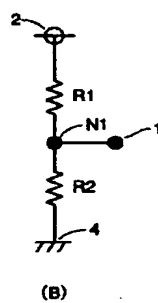
【図17】



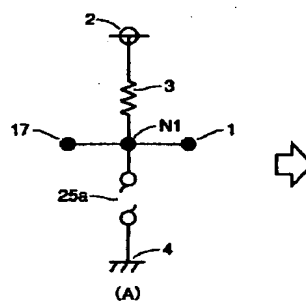
【図19】



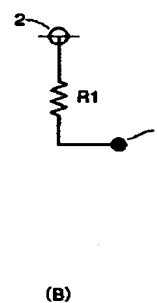
(B)



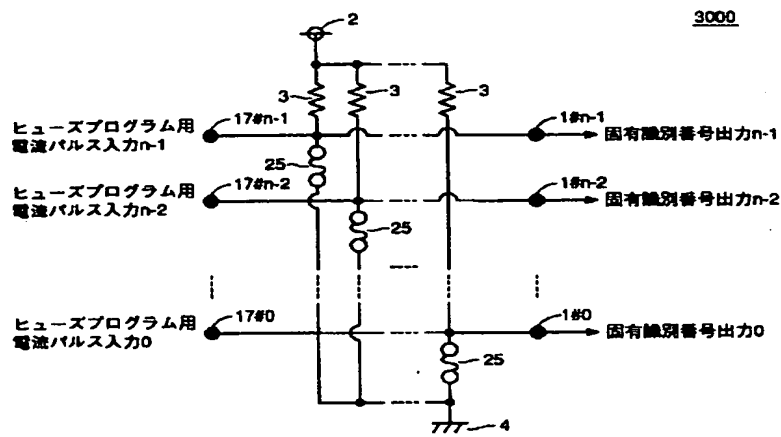
【図20】



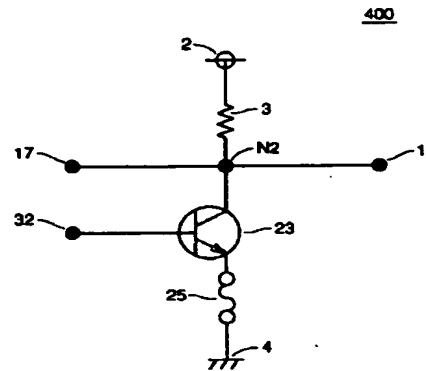
(B)



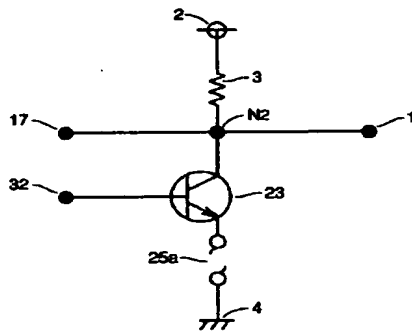
【図21】



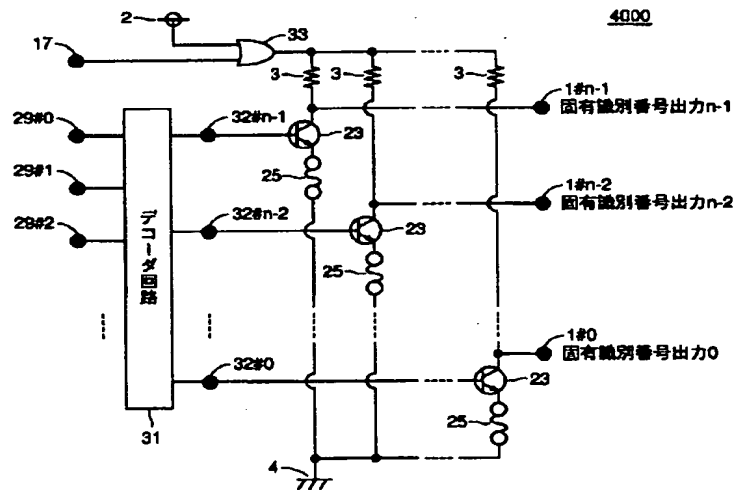
【図22】



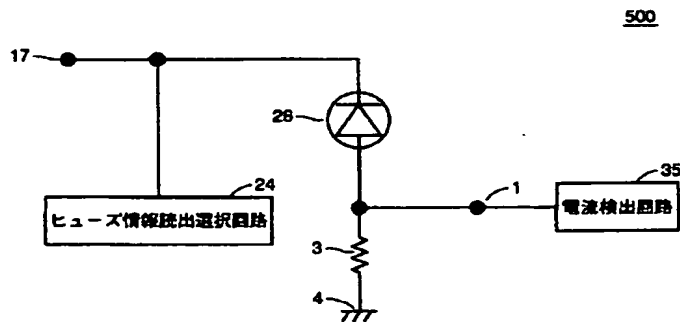
【図23】



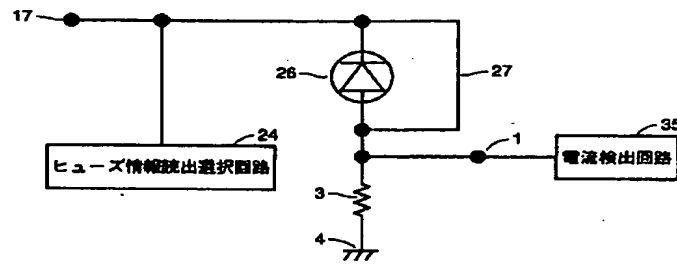
【図24】



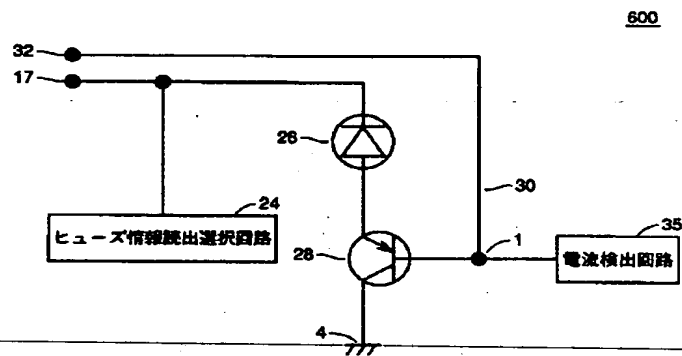
【図25】



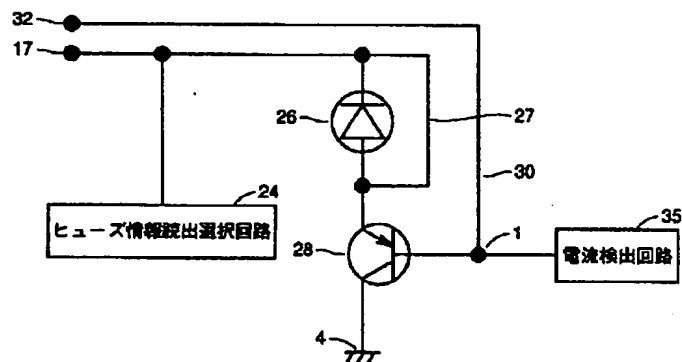
【図26】



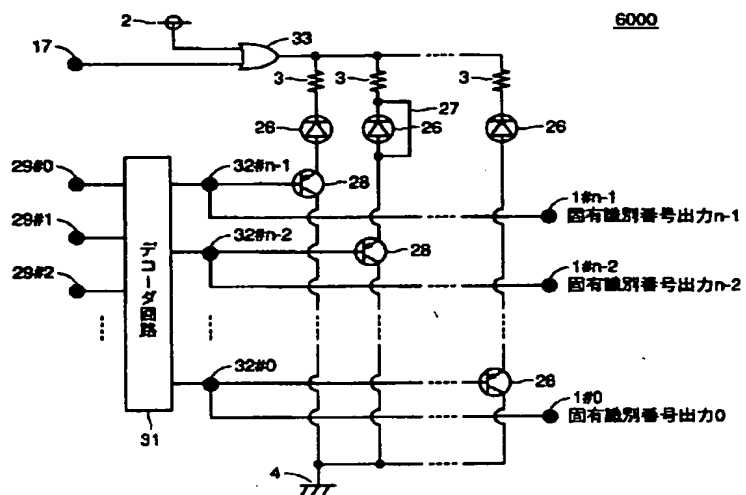
【図27】



【図28】



【図 29】



THIS PAGE BLANK (USPTO)
